

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-146496

(43)Date of publication of application : 06.06.1997

(51)Int.Cl.

G09G 3/36
G02F 1/133
H04N 9/31
H04N 9/64

(21)Application number : 07-299520

(71)Applicant : NEC CORP

(22)Date of filing : 17.11.1995

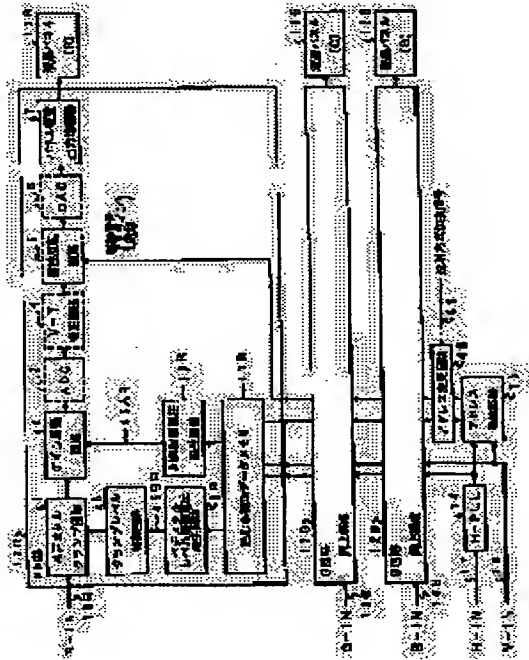
(72)Inventor : KAYAMA NOBUTAKE
MIHARA TOMOHIRO

(54) PROJECTOR WITH COLOR IRREGULARITY AND LUMINANCE UNEVENNESS CORRECTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the color irregularity and luminance unevenness on a display image when lights of three primary colors are separated and composed to display an image on a screen.

SOLUTION: An address generating circuit 15 generates an address signal corresponding to a color irregularity correcting point on a screen for displaying an image. A correction value in the correcting point is stored in a color irregularity correcting data memory 11R in conformation to this address signal. The correction value stored in the memory is read on the basis of the address signal. Image signal level is corrected on the basis of the read correction value, and lights of three primary colors are separated and composed to project and display the image. When the image signal level is corrected, an interpolation data is generated from a plurality of correction values by a pedestal level control voltage generating circuit 9R and a gain control voltage generating circuit 10R. Thus, both pedestal level and gain are corrected.



LEGAL STATUS

[Date of request for examination] 17.11.1995

[Date of sending the examiner's decision of rejection] 13.05.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-146496

(43) 公開日 平成9年(1997)6月6日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 0 5		G 0 2 F 1/133	5 0 5
H 0 4 N 9/31			H 0 4 N 9/31	A
9/64			9/64	F

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平7-299520

(22) 出願日 平成7年(1995)11月17日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 香山 振武

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 三原 知浩

東京都港区芝五丁目7番1号 日本電気株式会社内

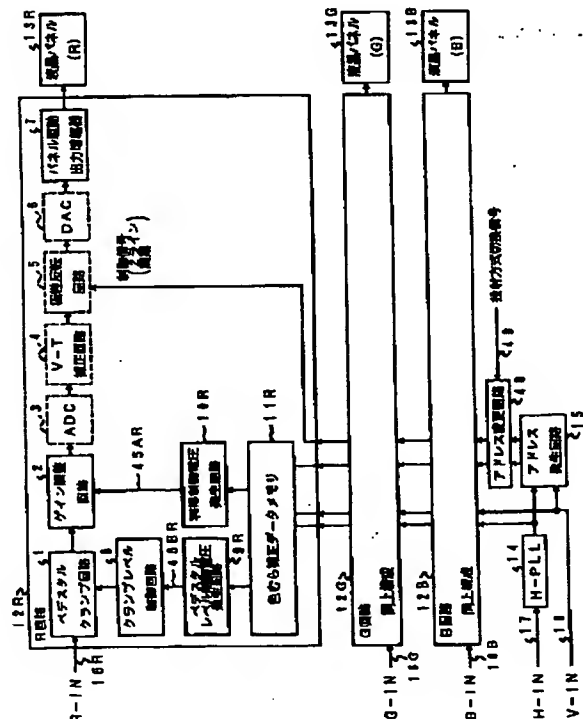
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 色むら及び輝度むら補正回路付プロジェクタ

(57) 【要約】

【課題】 3原色の光を分離合成しスクリーン上に画像を表示する際、表示画像上の色むらおよび輝度むらを解消する。

【解決手段】 アドレス発生回路15は画像を表示するスクリーン上の色むら補正点に対応するアドレス信号を生成する。色むら補正データメモリ11Rにはこのアドレス信号に対応して補正点における補正值が記憶されている。そして、このメモリに記憶された補正值はアドレス信号に基づいて読み出される。読み出した補正值に基づいて映像信号レベルが補正され3原色の光を分離合成して投射表示する。映像信号レベルを補正する際には、ペDESTALレベル制御電圧発生回路9R及び利得制御電圧発生回路10Rによって複数の補正值から補間データが生成される。これによって、ペDESTALレベル及びゲインの両方が補正される。



(2)

【特許請求の範囲】

【請求項1】 3原色の光を分離合成しスクリーン上に画像を表示するプロジェクタにおいて、前記画像を表示するスクリーン上の色むら補正点に対応するアドレス信号を生成するアドレス信号生成手段と、前記アドレス信号に対応して前記補正点における補正值が格納されたメモリと、該メモリに記憶された補正值を前記アドレス信号に基づいて読み出す読み出し手段と、該読み出した補正值に基づいて映像信号レベルの補正を行って色むらを補正する補正手段とを有する色むら及び輝度むら補正回路付プロジェクタ。

【請求項2】 3原色の光を分離合成しスクリーン上に画像を表示するプロジェクタにおいて、前記画像を表示するスクリーン上の色むら補正点に対応するアドレス信号を生成するアドレス信号生成手段と、前記アドレス信号に対応して前記補正点における補正值が格納されたメモリと、該メモリに記憶された補正值を前記アドレス信号に基づいて読み出す読み出し手段と、前記メモリから読み出した複数の補正值から補間データを生成する補間手段と、前記メモリから読み出した補正值及び前記補間手段から得られる補間値に基づいて映像信号レベルの補正を行って色むらを補正する補正手段とを有することを特徴とする色むら及び輝度むら補正回路付プロジェクタ。

【請求項3】 請求項1又は請求項2に記載されたプロジェクタにおいて、前記画像を表示する走査方向に応じて前記アドレス信号の順序を変更して変更アドレス信号を生成する変更手段を備え、前記読み出し手段は前記変更アドレス信号に応じて前記メモリに記憶された補正值を読み出すようにしたことを特徴とする色むら及び輝度むら補正回路付プロジェクタ。

【請求項4】 請求項1、請求項2、又は請求項3に記載されたプロジェクタにおいて、前記補正手段は、前記映像信号のペダスタルレベル及び映像ゲインを補正するようにしたことを特徴とする色むら及び輝度むら補正回路付プロジェクタ。

【請求項5】 請求項2、請求項3、又は請求項4に記載されたプロジェクタにおいて、前記補間手段は、少なくとも重み係数発生器、乗算器、加算器、及びLPFを備えることを特徴とする色むら及び輝度むら補正回路付プロジェクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、色むら及び輝度むら補正回路を備えるプロジェクタに関し、特に、ビデオ又はコンピュータ画像を35～200インチの大型スクリーンに拡大投写するプロジェクタにおいて、投写画面内の色むら及び輝度むらを補正する補正回路に関する。

【0002】

【従来の技術】一般に、液晶プロジェクタでは、赤、

2

緑、青（以下、それぞれR、G、Bと略記する）の各液晶モジュールの液晶セルギャップ厚のばらつき及び同一パネル面内不均一性等に起因して、R、G、Bの各コントラストが異なり、このため、R、G、Bの3枚の液晶モジュールを透過させて合成投写した表示画像に色むら及び輝度むらが生じる。

【0003】このような不具合を防止するための技術として、例えば、特開平05-196913号公報に記載された技術が知られている（以下先行技術と呼ぶ）。

10 【0004】この先行技術では、スクリーン上の色むらを補正すべき補正点を指定する信号を出力するカーソル発生回路と、指定した補正点のアドレスを指定するアドレス信号を作成する水平及び垂直アドレス回路と、補正点における色むらを補正する補正值を与える補正器と、前記アドレス信号に対応した補正值をフレームメモリに書き込み読み出し制御するCPUと、フレームメモリから読み出した補正值より映像信号レベルを補正する映像信号補正回路を備えている。

【0005】

20 【発明が解決しようとする課題】ところで、上述の先行技術では、スクリーン上の色むらを補正すべき補正点を指定する信号を出力するカーソル発生回路と補正值をフレームメモリに記憶するための手段とを液晶プロジェクタが備える必要がある。

【0006】ところが、補正点がスクリーン全面に必要であると、原理的にR、G、B液晶パネルの画素数がそれぞれ水平1280、垂直1024の場合、補正点数が $1280 \times 1024 = 1,310,720$ ヶ所必要であり、R、G、Bのトータル補正值を記憶及び読み出しするフレームメモリの記憶容量として1,310,720×3×（補正值データビット数：例えば8ビット）大の記憶容量が必要となってしまう。

【0007】実際の色むらの発生パターンは、液晶パネルの画素数に比較すればかなり粗くならかな変化であるにもかかわらず、大量の補正点数（調整点数）が必要で、その結果、調整作業に長時間を要する等、色むらを解消するための操作が煩わしいという問題点がある。

【0008】本発明の目的は、色むら及び輝度むらを容易に解消できるプロジェクタを提供することにある。

40 【0009】

【課題を解決するための手段】本発明によれば、3原色の光を分離合成しスクリーン上に画像を表示するプロジェクタにおいて、前記画像を表示するスクリーン上の色むら補正点に対応するアドレス信号を生成するアドレス信号生成手段と、前記アドレス信号に対応して前記補正点における補正值が格納されたメモリと、該メモリに記憶された補正值を前記アドレス信号に基づいて読み出す読み出し手段と、該読み出した補正值に基づいて映像信号レベルの補正を行って色むらを補正する補正手段とを有する色むら及び輝度むら補正回路付プロジェクタが得

50

3

られる。

【0010】さらに、本発明によれば、3原色の光を分離合成しスクリーン上に画像を表示するプロジェクタにおいて、前記画像を表示するスクリーン上の色むら補正点に対応するアドレス信号を生成するアドレス信号生成手段と、前記アドレス信号に対応して前記補正点における補正值が格納されたメモリと、該メモリに記憶された補正值を前記アドレス信号に基づいて読み出す読み出し手段と、前記メモリから読み出した複数の補正值から補間データを生成する補間手段と、前記メモリから読み出した補正值及び前記補間手段から得られる補間値に基づいて映像信号レベルの補正を行って色むらを補正する補正手段とを有することを特徴とする色むら及び輝度むら補正回路付プロジェクタが得られる。

【0011】また、このプロジェクタは、前記画像を表示する走査方向に応じて前記アドレス信号の順序を変更して変更アドレス信号を生成する変更手段を備え、前記読み出し手段は前記変更アドレス信号に応じて前記メモリに記憶された補正值を読み出すようにしてもよい。そして、前記補正手段は、前記映像信号のペダスタルレベル及び映像ゲインを補正する。

【0012】上記の補間手段は、少なくとも重み係数発生器、乗算器、加算器、及びL P Fを備えている。

【0013】

【発明の実施の形態】以下本発明について図面を参照して説明する。図1は本発明によるプロジェクタの統図である。そして、図1に示すH-PLL回路14、アドレス発生回路15、R回路の利得制御電圧発生回路10R及び色むら補正データメモリ11Rの詳細を図2に示す。さらに、図3には、図1（及び図2）のペダスタルレベル制御電圧発生回路9Rを詳細に示す。

【0014】図1を参照して、図示のプロジェクタは、R回路12R、G回路12G、及びB回路12Bを備えており、R回路12R、G回路12G、及びB回路12Bにはそれぞれ液晶パネル（R）13R、（G）13G、及び（B）13Bが接続されている。これらR回路12R、G回路12G、及びB回路12Bには、例えば、コンピュータ（図示せず）からR-IN信号16R、G-IN信号16G、及びB-IN信号16Bが与えられる。

【0015】これらR回路12R、G回路12G、及びB回路12Bにはアドレス変換回路49を介してアドレス発生回路15が接続される。図示のH-PLL回路14には、例えば、コンピュータ（図示せず）からのH-IN信号17が与えられる。

【0016】H-PLL回路14の出力はアドレス発生 *

(3)

4

* 回路15に与えられるとともにR回路12R、G回路12G、及びB回路12Bに与えられ、さらに、コンピュータからのV-IN信号18がアドレス発生回路15とR回路12R、G回路12G、及びB回路12Bとに与えられる。

【0017】ここで、R回路12Rに注目して、R回路12Rはペダスタルクランプ回路1、ゲイン調整回路2、A/D変換器（ADC）3、V-T補正回路4、極性反転回路5、D/A変換器（DAC）6、及びパネル駆動出力増幅器7を備えており、R-IN信号16Rはペダスタルクランプ回路1に与えられ、パネル駆動出力増幅器7は液晶パネル（R）13Rに接続されている。

【0018】R回路12Rは、さらに、クランプレベル制御回路8、ペダスタルレベル制御電圧発生回路9R、利得制御電圧発生回路10R、及び色むら補正データメモリ11Rを備えている。そして、色むら補正データメモリ11Rから読み出された補正データに応じてペダスタルレベル制御電圧発生回路9Rはペダスタルレベル制御電圧を生成し、このペダスタルレベル制御電圧に基づいてクランプレベル制御回路8はペダスタルクランプ回路1を制御する。同様に、色むら補正データメモリ11Rから読み出された補正データに応じて利得制御電圧発生回路10Rはゲイン調整回路2に利得制御電圧を与える。

【0019】なお、G回路12G及びB回路12BはR回路12Rと同様に構成されている。

【0020】ここで、プロジェクタが液晶プロジェクタの場合を例にして、測定点以外の色補正データの直線補間による算出方法について説明する。いま、液晶パネルの水平画素数をnとする（例：n=1280）。液晶パネルの垂直画素数をLとする（例：L=1024）。投射全面面の水平をmブロックに分割する（例：m=16）。投射全面面の垂直をm'ブロックに分割する（例：m'=16）。そして、コントラスト（利得）補正係数データをAとし、ブライト（ペダスタルレベル）補正データをBとすると、投射画面の横、立てをそれぞれm、m'箇所測定して得られた各色補正データ（コントラスト補正データAとブライト補正データB）は測定点アドレス（x、y）を用いて、図4で示すように表わされる。ここで、1ブロック内の水平画素数はn/m（例：n/m=1280/16=80）、1ブロック内の垂直画素数はL/m'（例：L/m'=1024/16=64）である。

【0021】また、測定点以外の色補正データは測定済み色補正データから図5に示す直線補間にて算出できる。ここで、

$$\begin{aligned} A(j, k) &= \{A(x, y) \times (1-j/(n/m)) + A(x+1, y) \times (j/(n/m))\} \times (1-k/(L/m')) + \\ &\quad \{A(x, y+1) \times (1-j/(n/m)) + A(x+1, y+1) \times (j/(n/m))\} \times (k/(L/m')) \\ B(j, k) &= \{B(x, y) \times (1-j/(n/m)) + B(x+1, y) \times (j/(n/m))\} \times (1-k/(L/m')) + \\ &\quad \{B(x, y+1) \times (1-j/(n/m)) + B(x+1, y+1) \times (j/(n/m))\} \times (k/(L/m')) \end{aligned}$$

(4)

5

ただし、 j 、 k はブロック内アドレスで、 $j=0, 1, 2, \dots, (n/m - 1 = 79)$ 、 $k=0, 1, 2, \dots, (L/m' - 1 = 63)$ である。

【0022】前述のように、プロジェクトに接続されたコンピュータからR-IN信号16R、G-IN信号16G、及びB-IN信号16BがそれぞれR回路12R、G回路12G、及びB回路12Bに与えられる。さらに、コンピュータからH-IN信号17はH-PLL回路14に入力される。

【0023】図2も参照して、いまR回路12Rに注目して、H-PLL回路14は、位相比較器19、制御電圧発生回路20、電圧制御発振器21、及び分周器22を備えており、H-IN信号17に同期し、R-IN信号16R（及びG-IN16G、B-IN16B）を画素単位にサンプルするためのクロックパルス46とH周期パルス47を生成する。そして、これらクロックパルス46及びH周期パルス47は、ペDESTALレベル制御電圧発生回路9R、利得制御電圧発生回路10R、及びアドレス発生回路15に与えられる。

【0024】Hブロック内 (n/m) 進カウンタ23H及びHブロックxアドレス発生器24Hは分周器22の出力（H周期パルス）47に応じて動作し、Hブロック内 (n/m) 進カウンタ23Hではクロックパルス46を受けHブロック内アドレス j を図5に示す横軸アドレス $(0, 1, 2, \dots, n/m-1)$ のように n/m 周期で生成する。次に、Hブロックxアドレス発生器24Hは、Hブロック内アドレス j を受け、xアドレスを図4に示す横軸アドレス $(1, 2, 3, \dots, m)$ のように生成し、さらに、アドレス加算器25Hによって $(x+1)$ アドレスが生成される。

【0025】同様にして、H周期パルス47とV-IN信号18とに応じてVブロック内 (L/m') 進カウンタ23Vは、Vブロック内アドレス k を図5に示す縦軸アドレス $(0, 1, \dots, (L/m' - 1))$ のように L/m' 周期で生成する。そして、Vブロックyアドレス発生器24VはVブロック内アドレス k とV-IN信号18とに応じてyアドレスを生成し、アドレス加算器25Vによって $(y+1)$ アドレスが生成される。

【0026】これら x 、 $(x+1)$ 、 y 、 $(y+1)$ アドレスは投射方式切換信号49に応じて切換動作を行うアドレス変更回路48を介して色むら補正データメモリ11Rに与えられる。

【0027】色むら補正データメモリ11Rにおいて、上記の x 、 $(x+1)$ 、 y 、 $(y+1)$ アドレスはPROM26に与えられ、 $A(x, y)$ 、 $A(x+1, y)$ 、 $A(x, y+1)$ 、及び $A(x+1, y+1)$ レジスタ27A乃至30AはPROM出力に応じて、4測定点のコントラスト（利得）補正データ $A(x, y)$ 、 $A(x+1, y)$ 、 $A(x, y+1)$ 、 $A(x+1, y+1)$ を出力する。同様にして、 $B(x, y)$ 、

6

$B(x+1, y)$ 、 $B(x, y+1)$ 、 $B(x+1, y+1)$ レジスタ27B乃至30Bは、4測定点のブライト（ペDESTALレベル）補正データ $B(x, y)$ 、 $B(x+1, y)$ 、 $B(x, y+1)$ 、 $B(x+1, y+1)$ を出力する。そして、コントラスト（利得）補正データは、利得制御電圧発生回路10Rに与えられ、ブライト（ペDESTALレベル）補正データはペDESTALレベル制御電圧発生回路9Rに与えられる。

【0028】図2を参照して、利得制御電圧発生回路10Rは、乗算器31乃至34及び乗算器39及び40、係数 $(1-jm/n)$ 発生器35、係数 (jm/n) 発生器36、加算器37、38、及び43、係数 $(1-jm'/n)$ 発生器41、係数 (jm'/n) 発生器42、D/A変換器（DAC）44A、及びLPF50を備えている。

【0029】一方、ペDESTALレベル制御電圧発生回路9Rは、図3に示すように、利得制御電圧発生回路10Rと同様の回路構成を備えている（図3においては、便宜上、D/A変換器（DAC）44Bを除いて図2の構成要素と同一の参照番号を用いている）。

【0030】このように、利得制御電圧発生回路10R及びペDESTALレベル制御電圧発生回路9Rをそれぞれ重み係数発生器、乗算器、加算器で構成することによって、測定点以外の色補正データも上述のようにして直線補間で算出できる。

【0031】利得制御電圧発生回路10R及びペDESTALレベル制御電圧発生回路9Rにおいてそれぞれ算出したコントラスト（利得）補正係数データ $A(j, k)$ 及びブライト（ペDESTALレベル）補正データ $B(j, k)$ はD/A変換器（DAC）44A及び44BとLPF50を経由して（アナログ）利得制御電圧45AR及び（アナログ）ペDESTALレベル制御電圧45BRとしてゲイン調整回路2及びクランプレベル制御回路8に与えられる。

【0032】以上、R回路について説明したが、G回路及びB回路においても同様な利得制御電圧発生回路、ペDESTALレベル制御電圧発生回路、及び色むら補正データメモリを備えることによって、R回路と同様にしてG回路及びB回路においても独立に各色レベルを補正でき、合成投射された表示画像の色むらが解消される。

【0033】以上、色むらを主体に述べたが、色むらを補正するだけでなく、RGBの各色レベルを同時に変化させれば輝度むらも補正できる。

【0034】なお、図1又は図2に示すアドレス変更回路48として変換テーブルをプログラムしたPROM等を用いれば、投射方式が左右反転又は上下反転の切替信号49により、補正値を読み出すアドレスを変更することができる。

【0035】上述の例では、液晶プロジェクトについて説明したが、CRTタイプのプロジェクトの色むら補正

(5)

7

にも有効であることは、上述の説明から明らかである。

【 0 0 3 6 】

【発明の効果】以上説明したように、本発明では、従来のように、色むらを指定する手段（カーソル発生回路）及び補正値をフレームメモリに記憶する手段を有する必要がなく、しかも、従来、R、G、Bのトータル補正値を读出すフレームメモリの容量が、 $1,310,720 \times 3 \times (\text{補正データビット数：例えば8ビット})$ 必要であったのに比べて、本発明ではPROMメモリーの（白あるいは黒）色補正データ容量は $(m+1) \times (m' + 1) \times 3 \times (\text{補正データビット数：例えば8ビット}) = 289 \times 3 \times (\text{補正データビット数：例えば8ビット})$ であり、メモリ容量を約5000分の1に削減できるという効果がある。

【0037】さらに、本発明では、補正点（調整点）がスクリーン全面に必要な場合にも、補正点数（測定点数）は $(m+1) \times (m'+1) = 289$ に減少する。従って、調整作業の大幅な短縮が得られるという効果がある。

【0038】加えて、従来の色補正データはホワイトバランス補正データのみであったが、本発明では、色補正データとしてホワイトバランス補正用のコントラスト補正データAと、黒レベルでの色むら（黒バランス）補正用のブライト補正（ペステルレベル補正）データBの両方を読み出すことができるので、ホワイトバランスの

【图 4】

→ 画像の水平方向 x

	1	2	x	$x+1$	m
↓ 画像の垂直方向 y	1	A(1,1) B(1,1)			
	2	A(1,2) B(1,2)			
	y		A(x,y) B(x,y)	A(x+1,y) B(x+1,y)	
	$y+1$		A(x,y+1) B(x,y+1)	A(x+1,y+1) B(x+1,y+1)	
	m'				A(m,m') B(m,m')

8

みでなく黒バランスの補正も可能となるという利点がある。

【0039】また、アドレス変換回路を備えているので、スクリーンに光を投射する投射方向を左右あるいは上下あるいは左右と上下を同時に変更しても色むらが生じないという効果がある。

【図面の簡単な説明】

【図1】本発明によるプロジェクトを示す図である。

【図2】図1に示すH-PLL、アドレス発生回路、R
10 回路の色むら補正データメモリ、及び利得制御電圧発生
回路を詳細に示す図である。

【図3】デスタルレベル制御電圧発生回路を詳細に示す図である。

【図4】測定点アドレスと各色補正データとの関係を示す図である。

【図5】測定点以外の色補正データを算出する際に用いられる直線補間を説明するための図である。

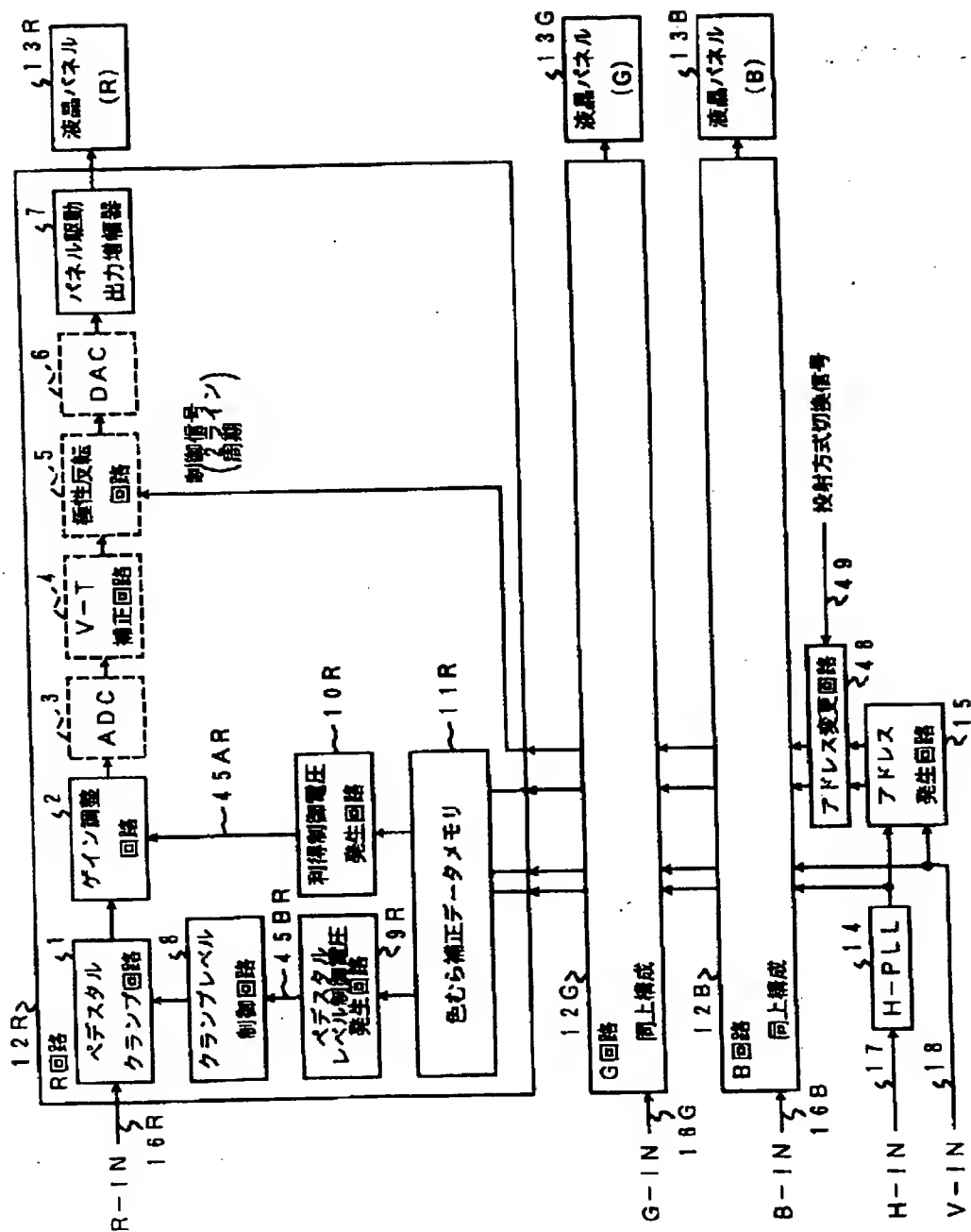
【符号の説明】

- 1 2 R R回路
1 2 G G回路
1 2 B B回路
1 3 R, 1 3 G, 1 3 R 液晶パネル
1 4 H-PLL回路
1 5 アドレス発生回路
4 8 アドレス変更回路

【图5】

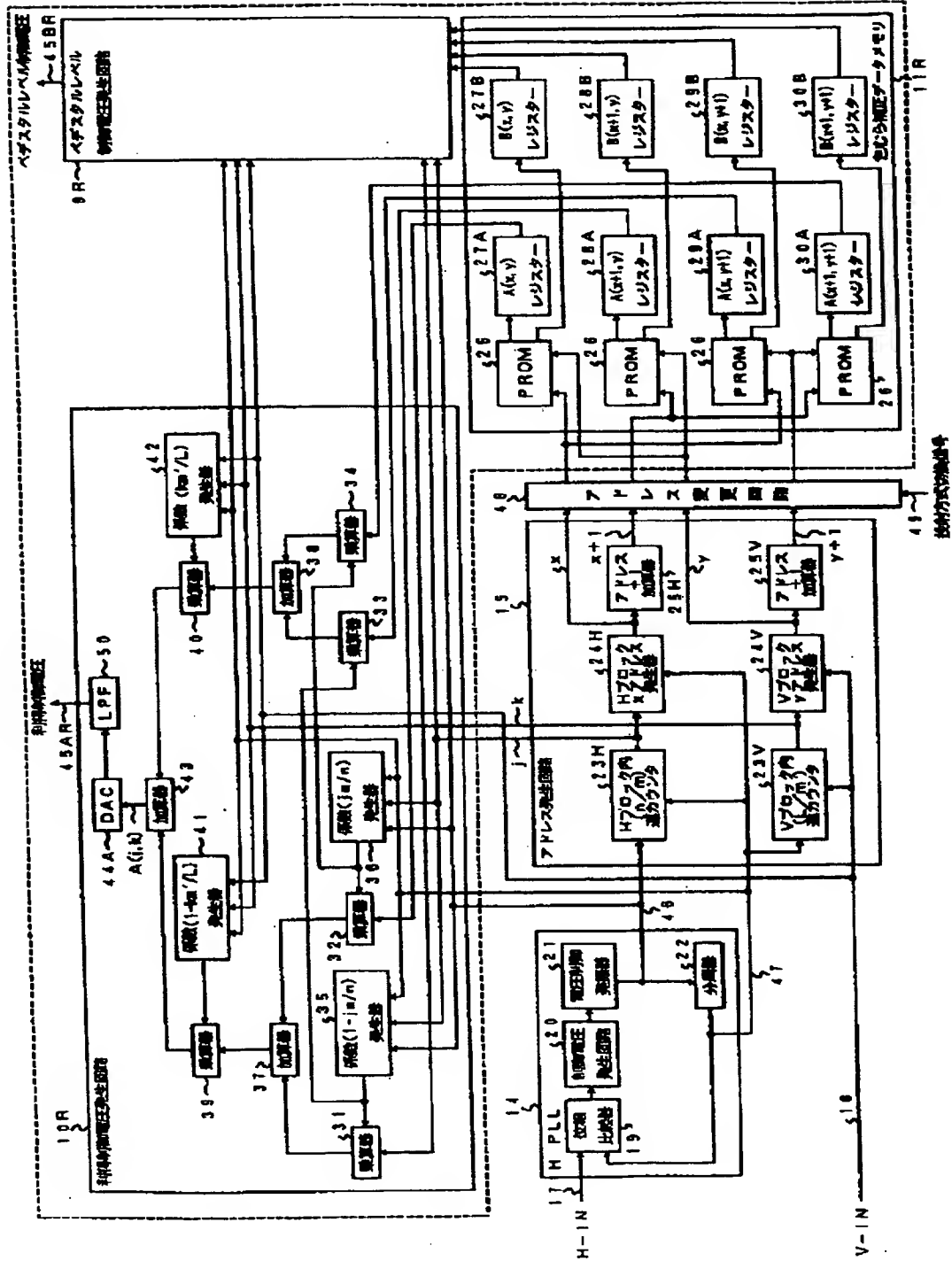
(6)

【図1】



(7)

【図2】



(8)

【図3】

